

3-Х УРОВНЕВАЯ МОДЕЛЬ ОТКАЗОУСТОЙЧИВОСТИ СПЕЦПРОЦЕССОРОВ.

Саркисов А.Б., Калмыков И.А., Яковлева Е.М.

*Северо-Кавказский Федеральный Университет,
г. Ставрополь, Россия*

Аппаратная реализация специализированных процессоров цифровой обработки сигналов насыщена и очень сложна. Обеспечение отказоустойчивости должно быть неотъемлемой частью разработки матричных процессоров. Отказы процессорных элементов в таких крупноразмерных процессорных матрицах практически неизбежны, и, особенно для применений в реальном времени.

Согласно [1], для того чтобы обеспечить приемлемый выход годных в условиях дефектов изготовления, отказоустойчивость (ОУ) в некоторой форме должна быть введена на этапе изготовления компонентов СБИС-процессора. Затем в случае если отказы возникли после того, как процессорная матрица установлена в систему, в приемлемое время можно провести ее перенастройку. Отказоустойчивость необходима, чтобы устранять отказы, возникающие в процессе функционирования вычислителя, и позволять тем самым системе функционировать непрерывно. Следовательно, для обеспечения отказоустойчивости нужны: аппаратная избыточность, временная избыточность и алгоритмические подходы, основанные на применении корректирующих кодов.

Используют трехуровневую модель для описания задач обеспечения ОУ. Первый уровень - это реальный массив, размещенный на кристалле или кремниевой пластине, который может иметь некоторые дефекты производства. Второй уровень - физический массив, который по предположению свободен от дефектов изготовления и включает некоторые резервные ПЭ. На третьем уровне - логический массив, который представляет собой требуемую структуру, непосредственно соответствующую алгоритму.

В соответствии с трехуровневой моделью при изготовлении - это по существу метод создания физического массива из реального массива, в то время как ОУ в процессе компиляции и работы - это построение логического массива из физического. Рассматриваемая далее схема поддержания ОУ в процессе функционирования приведена в терминах трехуровневой модели.

Основной метод ОУ состоит в том, чтобы восстановить работающий физический массив заданного размера по реальному массиву с избыточным числом компонентов.

Современные технологии позволяют реализовать отказоустойчивый систолический нейросетевой спецпроцессор на кремниевой пластине. При выборе подходящих методов обеспечения отказоустойчивости необходимо использовать свойства регулярности и модульности систолических и нейросетевых архитектур[3].

Второй уровень обеспечения отказоустойчивости вычислительных специализированных устройств ЦОС связан с компиляцией [2]. Схема реконфигурации при обеспечении ОУ на этапе компиляции сходна с программно поддержанным обеспечением ОУ при изготовлении, за исключением различия в технологии и способах тестирования.

Основное внимание уделяется методам достижения отказоустойчивости в процессе функционирования специализированного устройства.

При разработке отказоустойчивых вычислительных устройств, ставятся задачи [2]:

1. использовать регулярность и локальность, присущую матричным нейросетевым процессорам, и принцип управления потоком данных;
2. выявить структурные особенности матричных нейросетевых алгоритмов;
3. минимизировать затраты времени на реализацию отказоустойчивой работы.

Несмотря на то, что схемы временной избыточности, представляют эффективные способы восстановления в случае возникновения отказов, к сожалению, они не могут быть легко интегрированы в структурные схемы обеспечения отказоустойчивости спецпроцессоров цифровой обработки сигналов из-за высоких требований к производительности таких вычислительных устройств.

В настоящее время существуют два типа подходов к обеспечению ОУ во время работы - архитектурный и алгоритмический.

Проведенный системный анализ показывает, что для обеспечения ОУ двумерных процессорных массивов полезна сеточная модель переключения. Анализ показал, что проблема реконфигурации матричных процессоров подразделяется на две задачи [1]:

1. **Размещение.** Размещение определяется отображением $f(\circ)$, которое переводит все ПЭ логического массива L (размером $M \times M$) в исправные ПЭ физического массива P (размером $N \times N$). Более точно, для каждого $ПЭ(i, j) \in L$ найдется работоспособный ПЭ в позиции $(x(i, j), y(i, j)) \in P$ физической плоскости, такой, что логический $ПЭ(i, j)$ отображается в физический ПЭ $(x(i, j), y(i, j))$.

2. **Маршрутизация.** Маршрутизация определяется вдоль всех горизонтальных и вертикальных соединений физического процессорного массива, где горизонтальным соединением называется путь, соединяющий ПЭ $(x(i, j), y(i, j))$ и ПЭ $(x(i, j+1), y(i, j+1))$, а вертикальным соединением - путь, соединяющий ПЭ $(x(i, j), y(i, j))$ и ПЭ $(x(i+1, j), y(i+1, j))$.

Анализ технических реализаций алгоритмов ЦОС показывает, что архитектура специализированного процессора, его функциональные характеристики, прежде всего, определяются алгебраической системой, на базе которой строится цифровая обработка

сигналов. Таким образом, правильный выбор алгебраической системы является мощным средством повышения устойчивости функционирования вычислительных устройств ЦОС. Большое значение при этом имеет также способность системы счисления аккумулировать свою естественную (первичную) избыточность и вводимую дополнительную (вторичную) избыточность[1].

Согласно работе [3], основные проблемы использования методов ЦОС для первичной обработки сигналов в современных инфотелекоммуникационных системах являются:

- высокая вычислительная сложность алгоритмов ЦОС;
- низкий процент использования математических моделей цифровой обработки сигналов, обладающих свойством кольца или поля и характеризующихся параллельной структурой вычислений;
- низкая устойчивость вычислительных устройств ЦОС, реализованных в нейросетевом базисе;
- отсутствие методов реконфигурации структуры параллельного СП ЦОС, применение которых позволяло бы сохранять работоспособное состояние вычислительного устройства при возникновении отказов за счет снижения в допустимых пределах основных показателей качества функционирования.

Системный анализ основных методов обеспечения отказоустойчивости, применяемых в вычислительных специализированных устройствах, показал, что наиболее перспективным направлением является придание СП ЦОС устойчивости к отказам в процессе функционирования. Анализ технических реализаций алгоритмов ЦОС показывает, что архитектура специализированного процессора, его функциональные характеристики, прежде всего, определяются алгебраической системой, на базе которой строится цифровая обработка сигналов. Таким образом, правильный выбор алгебраической системы является мощным средством повышения устойчивости функционирования вычислительных устройств ЦОС, а применение полиномиальной системы классов вычетов позволяет повысить не только скорость обработки сигналов, но и обеспечить высокую информационную надежность вычислений.